

⑫ 公開特許公報 (A)

平2-121366

⑬ Int. Cl. 5

H 01 L 27/088
29/784
H 03 F 3/343

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)5月9日

A

6751-5J

7735-5F

8422-5F

H 01 L 27/08

29/78

102 J

301 X

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 カレントミラー回路

⑯ 特 題 昭63-275012

⑰ 出 願 昭63(1988)10月31日

⑲ 発明者 花岡 咸樹 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 発明者 中田 章 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出願人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑲ 代理人 弁理士 上柳 雅善 外1名

明細書

[産業上の利用分野]

本発明は、電子回路技術に関するもので、特に、半導体集積回路に使用して好適なものである。

[従来の技術]

従来、カレントミラー回路に用いられたMISFETは第2図(a)に示すようなパターンにより作成していた。1の矩形はイオン打込み領域であり、2の矩形はゲート電極を形成する領域である。イオン打込みは、チャネリングによって不純物濃度がウェハの深部で高くなることを防ぐために、ウェハの表面に垂直な結晶軸に対し約7度の角度をもって行なわれる。

セルフアラインのプロセスにおいて、イオン打込みはゲート電極が形成された後に行われる。この時の状態を第2図(b)に示す。第2図(b)は第2図(a)のA-A'の断面に相当する。第2図(a)の11、12の拡散電極領域は第2図(b)の11'、12'に相当する。また、第2図(a)21のチャネル上部のゲート部は第2図

1. 発明の名称

カレントミラー回路

2. 特許請求の範囲

同一の電気的特性を有する第一と第二のMISFETから成り、第一のMISFETはソース電極を共通電源端子に接続し、ゲート電極とドレイン電極を基準電流入力端子に接続し、第二のMISFETはソース電極を共通電源端子に接続し、ゲート電極を前記基準電流入力端子に接続し、ドレイン電極を定電流出力端子に接続したカレントミラー回路の各々のMISFETにおいて、中央にドレイン領域を配置し、該ドレイン領域をはさみ同電位のゲート電極を設け、この構造をはさむように同電位のソース領域を設けたことを特徴とするカレントミラー回路。

3. 発明の詳細な説明

(b) の 21' に相当し、31 はゲート酸化膜である。

イオン打込み領域のパターンは第2図 (a) 1 のように矩形であっても、ゲート電極とゲート酸化膜がイオン流をシールドするために、第2図 (a) の 1 は 11 と 12 の領域、すなわち第2図 (b) の 11' と 12' の領域に分割される。

しかし、イオン打込みが前記のごとく角度をもっているために、第2図 (b) の 12' と 21' の境界部分に 41 のようにシャドウ領域が生じる。その結果、パターンは第2図 (a) のごとく左右対称であっても、実際の素子構造は第2図 (b) のごとく非対称的となり、電気的特性も電流の方向によって異方性を示すことになる。

それゆえに、基準電流入力側MISFETと定電流出力側MISFETの電気的特性（閾値電圧、V_{th}）が完全に同一でなければならないカレントミラー回路では、前記異方性により、MISFETのパターンが同一であっても、電気的特性が同一ではなくなり、基準電流に対して定電流出力

は約 10% の差異を生ずる。特に、基準電流入力側MISFETと定電流出力側MISFETのソース領域を共通にしたもののは、必然的に前記 2 個のMISFETでシャドウ領域が生ずる電極が異なるため、差異が大きくなる。

また、電気的特性の異方性はリソグラフィーによるバーニングの際のバターンずれによっても生じる。この場合の異方性はソース領域とドレイン領域の面積差による。

【発明が解決しようとする課題】

しかし、従来技術はMISFET構造の異方性により、期待する正確なカレントミラー効果が得難いという欠点を有する。

本発明は、従来技術にみられるような欠点を解決しようとするもので、MISFETの電気的特性の異方性がイオン打込み角とバターンずれに起因することに着目し、MISFETの形状を改良することによって、MISFETの電気的特性の異方性をなくし、正確なカレントミラー効果を得ることを目的とする。

【課題を解決するための手段】

同一の電気的特性を有する第一と第二のMISFETから成り、第一のMISFETはソース電極を共通電源端子に接続し、ゲート電極とドレイン電極を基準電流入力端子に接続し、第二のMISFETはソース電極を共通電源端子に接続し、ゲート電極を前記基準電流入力端子に接続し、ドレイン電極を定電流出力端子に接続したカレントミラー回路の各々のMISFETにおいて、中央にドレイン領域を配置し、該ドレイン領域をはさみ同電位のゲート電極を設け、この構造をはさむように同電位のソース領域を設けたことを特徴とする。

【作用】

本発明の上記の構成によれば、カレントミラー回路内の 2 個の能動素子はシャドウ領域をソース電極側にもつ MISFET とドレイン電極側にもつ MISFET の並列接続により構成されるため、電気的特性が前記 2 種の MISFET の和となり、また、ドレイン領域及びソース領域の各端

面積が不变となって、カレントミラー回路内の 2 個の能動素子の特性から素子の非対称性による異方性が消失する。

【実施例】

第1図は本発明の一実施例である。1 はイオン打込み領域のパターンであり、2 はゲート電極を形成するための伝導体素材（以下、ゲート電極材という）を残す部分を示すパターンである。ゲート電極材にポリシリコンを用い、イオン打込みを行うと、11、11'、12 が拡散電極となる。電圧の高低、あるいは電流の方向によって、11、11'、12 のどれがドレイン電極になるかが決まるが、12 がドレイン電極になるように配置した方が浮遊容量が小さくなる。本例では 12 をドレイン電極とし、11 と 11' を同電位のソース電極とする。したがって、21 と 22 がチャネルとなり、2 個のMISFET から成る。以下、カレントミラー回路を構成する基準電流入力側と定電流出力側の 2 個のMISFET を各々、能動素子と称し、前記 21 と 22 のチャネル

からなるMISFETを単にMISFETと称して、区別して呼称することにする。

カレントミラー回路の能動素子に前記MISFETを用いる。前記MISFETにおいてもシャドウ領域が生じる現象はあるが、21と22のチャネルに対し同一の側に生じる。たとえば、第1図において、チャネルの左側に生じたとすると、21ではドレイン電極側であり、22ではソース電極側であり、1個の能動素子は異方性による異なった電気的特性を持つ2種のMISFETの並列接続により構成されることになる。異方性はMISFET構造の非対称性によるものであるため、前記2種のMISFETによりすべての異方性が網羅され、かつ、該2種が並列に接続されるため、すべての能動素子の異方性が消失することになる。したがって、すべての能動素子が同一の電気的特性となり、正確なカレントミラー効果を呈する。

また、第1図のバターンは、1が左右にバターンずれを生じても、12のドレイン領域の面積と

11と11'のソース領域の総面積は変化しないため、バターンずれを起しても電気的特性に与える影響はきわめて小さい。

【発明の効果】

以上の説明のように、上記の作用により、カレントミラー回路を構成する素子の特性に於て、イオン打込み角とバターンずれによる異方性を消失せしめることができ、きわめて正確なカレントミラー効果を得ることができる。

4. 図面の簡単な説明

第1図は、本発明の一実施例を示すMISFETのバターンを示す図である。

第2図(a)～(b)は従来技術によるバターン図と該バターンによるMISFETのA-A'における断面図である。

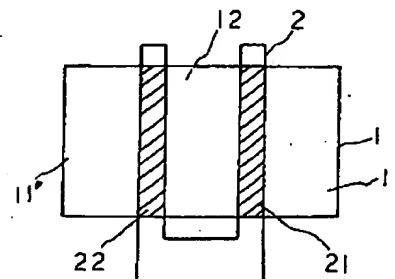
1・・・イオン打込み領域を示す矩形

2・・・ゲート電極を形成するためのバターン

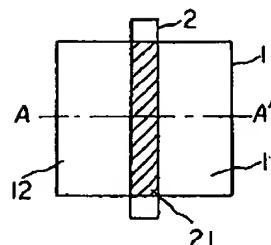
- 11・・・ソース領域
- 11'・・・11と同電位のソース領域
- 12・・・ドレイン領域
- 12'・・・ドレイン領域
- 21・・・チャネル領域
- 21'・・・ゲート電極
- 22・・・チャネル領域
- 31・・・ゲート酸化膜
- 41・・・シャドウ領域

以上

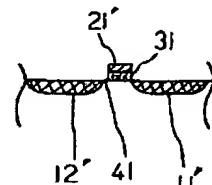
出願人 セイコーエプソン株式会社
代理人 弁理士 上柳 稔 誉(他1名)



第1図



第2図(a)



第2図(b)